

1ビット技術応用アイデア

A Fully-Digital Volume Controller for Single-bit Signals

1ビット信号のための  
デジタルボリューム制御回路

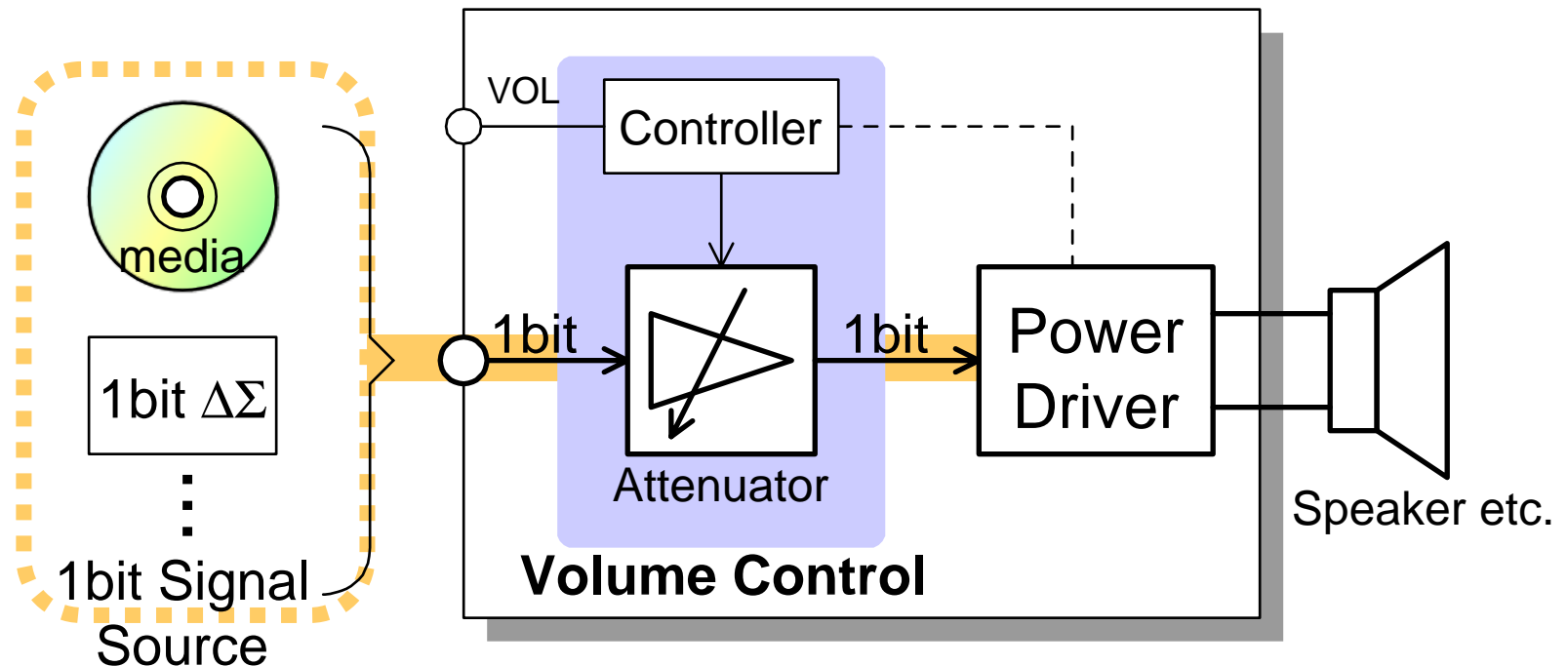
折野 裕一郎 黒澤 実

東京工業大学 大学院

総合理工学研究科 電子機能システム専攻

# 本アイデアが実現すること

図: 1ビット信号によるオーディオシステム

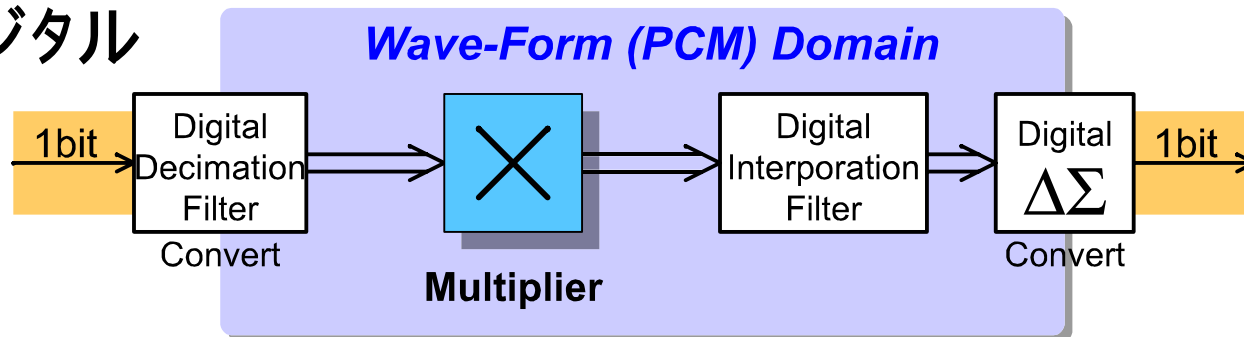


1ビット信号に対して  
実時間で動作可能なボリューム制御回路を  
小規模なデジタル回路のみで実現

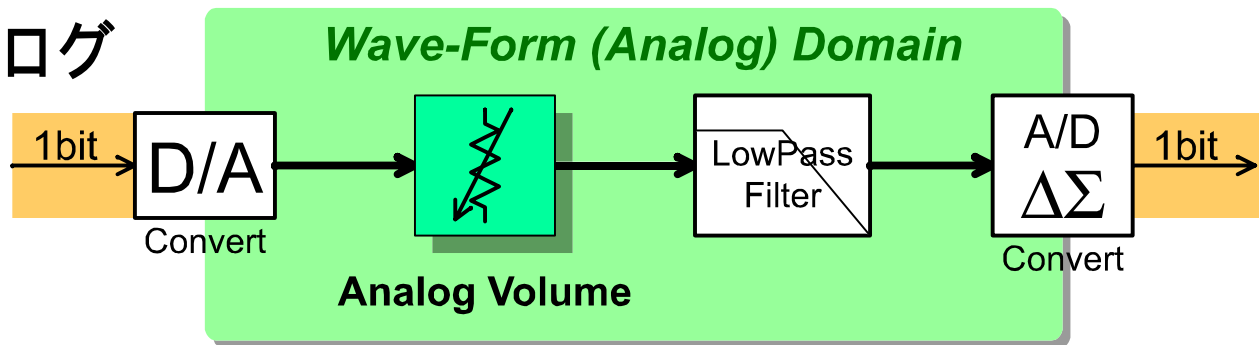
# 従来の信号処理手法

- 信号波形に変換(復号)して処理

- デジタル



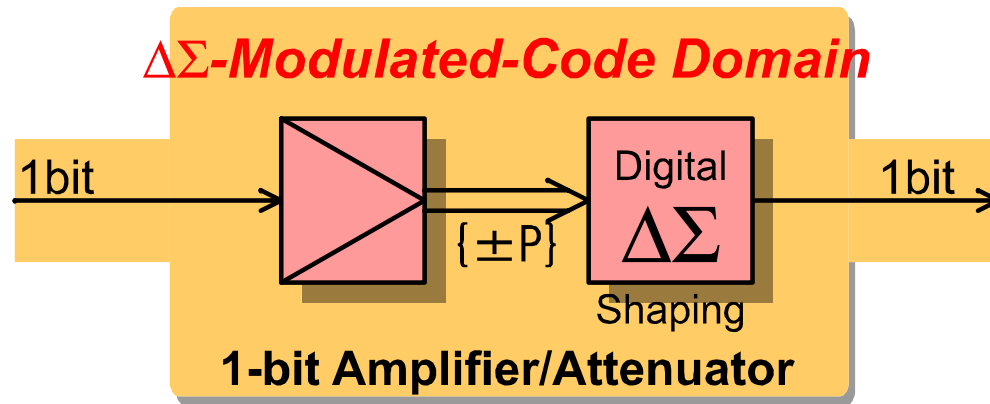
- アナログ



- 情報欠落、歪み、雑音重畳の恐れ

# 本アイディアの手法

- 「1ビット増幅/減衰アルゴリズム」の利用



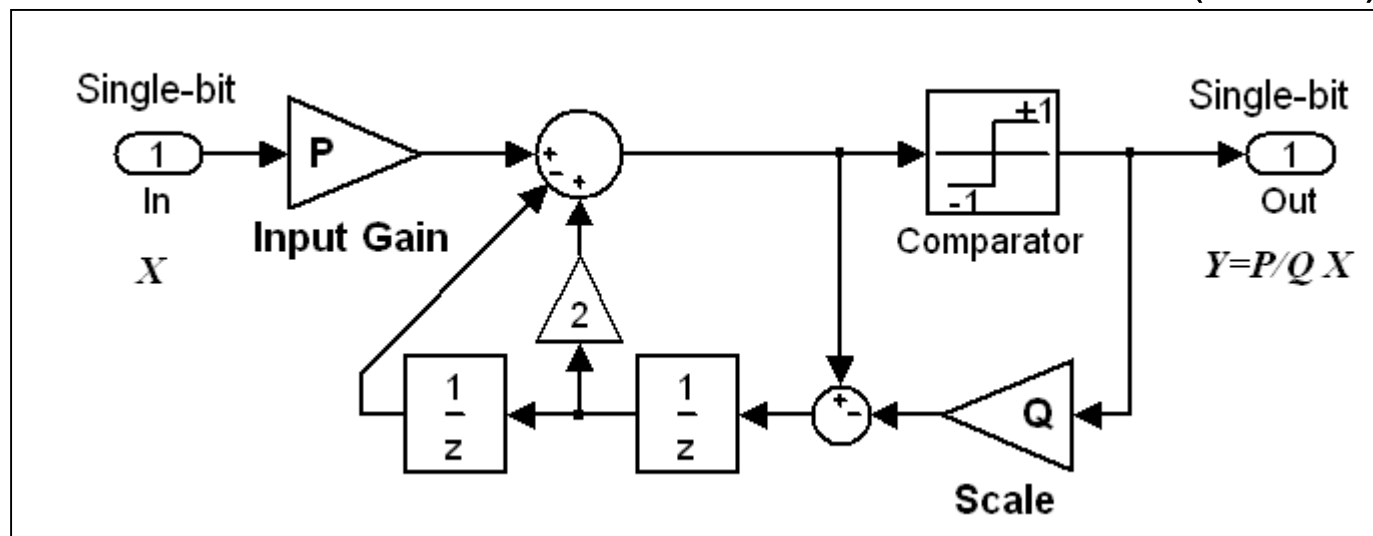
- 方針

- 信号波形へ復号せず、ビット列を**変調パルスのまま**処理する
- パルス波高操作、1ビット信号への再変調を全てデジタル信号処理で行う

# 1ビット増幅/減衰アルゴリズム

- 「シングルビットデジタル制御」
  - 黒澤、樋口(東大)ら (1994 ~ )
  - 学会発表: 計測自動制御学会、音響学会等
- シングルビットデジタル信号処理

図: 増幅/減衰アルゴリズムのダイアグラム (2次型)



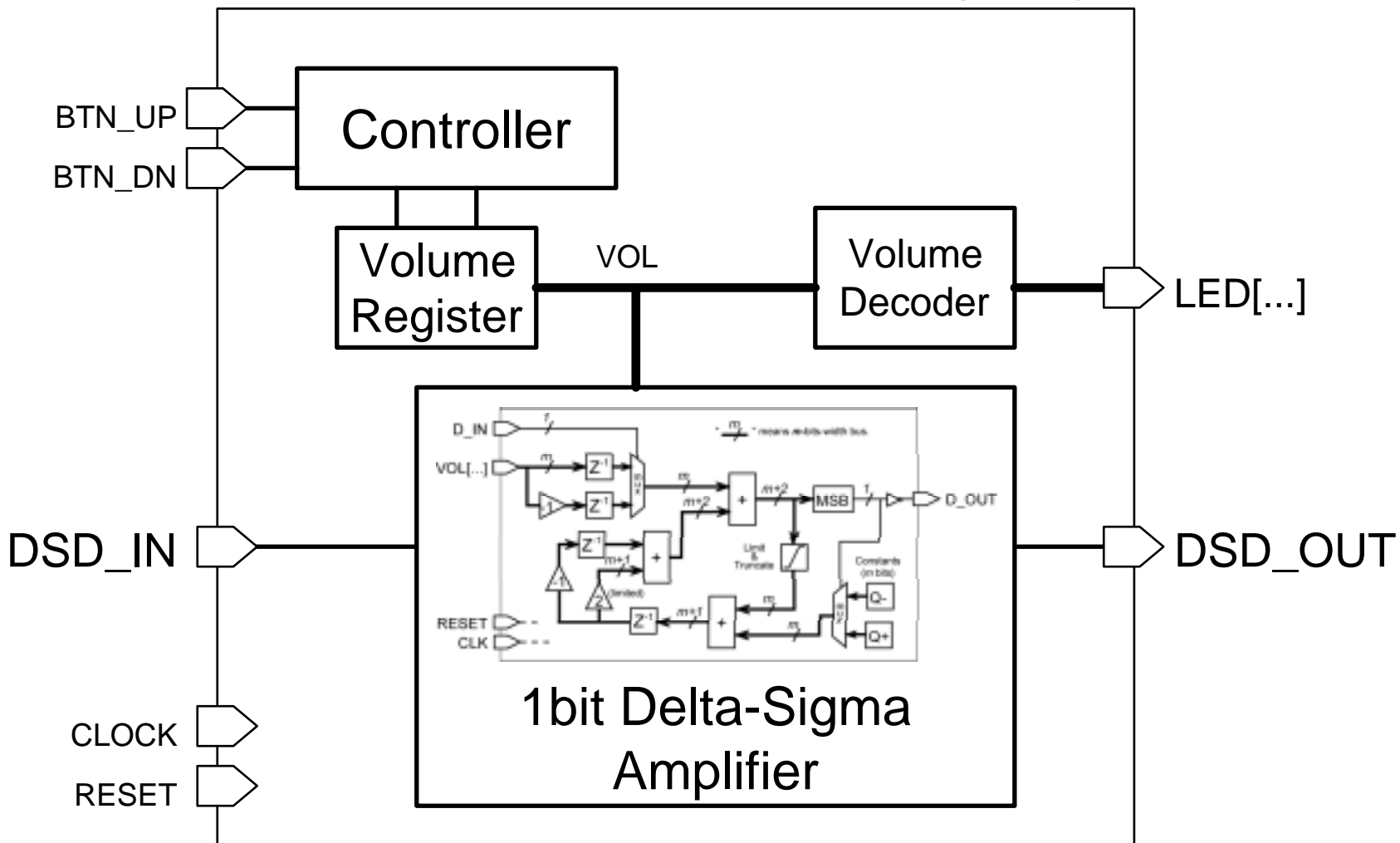
# 増幅/減衰アルゴリズムの特徴

- 広周波数域で作用 (情報欠落させない)
- 利得 =  $P/Q$  を任意に設定可能
- 切り捨てが起きないため利得精度が非常に高い
- 内部信号の分解能(ビット数)は演算精度には無関係で、設定利得の階調にのみ影響する
  - 低ビット数でも精度は落ちない
- ノイズシェイピング特性は内部で使用する $\Delta\Sigma$ 変調器に支配される
- 増幅動作時、ビット列のパターンが劣化
  - 見かけ上、サンプリング周波数が低下



# ボリューム制御回路

- 回路全体の機能ダイアグラム(1ch)

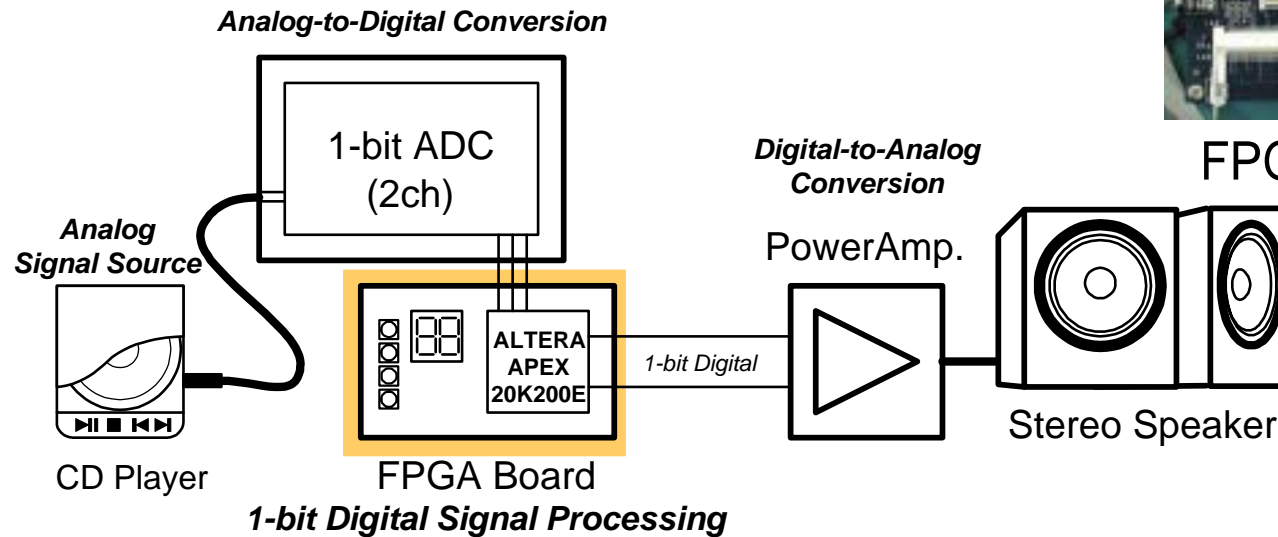




# 実装例 / 動作試験

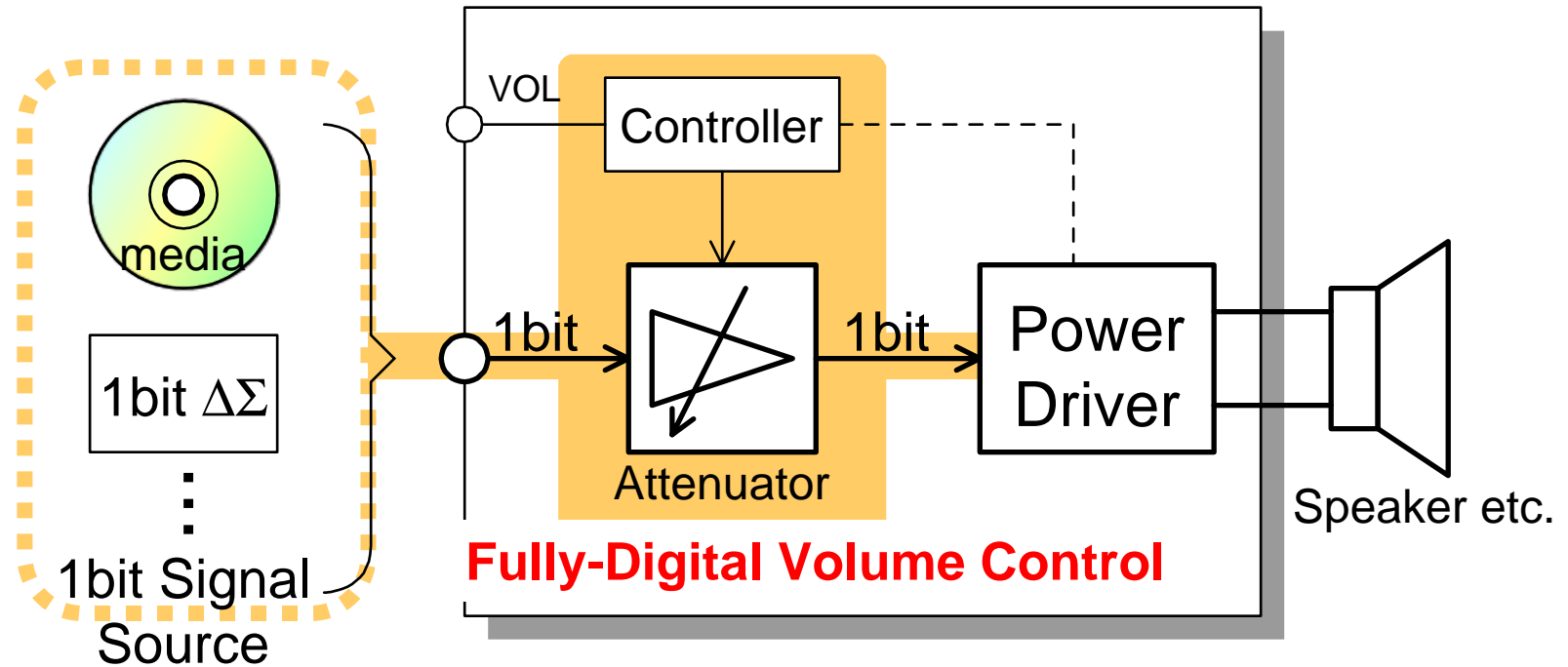


FPGA テストボード



- ステレオ対応(2ch)完全なバランス
- FPGA: Altera社 APEX20K200E
  - 内部18ビットで増幅部コア: 207LE(2.5%)
  - 速度  $f_{max} = 22.32\text{MHz}$
- 試験環境による**実動作を確認** (12.5MHz)

# まとめ/1ビットデジタルボリューム



1ビット用の**デジタル信号処理アルゴリズム**により  
小規模回路・高速動作・高精度な  
デジタルボリューム制御回路が実現できる

# 参考：周波数スペクトル

- シミュレーション(正弦波+雑音)結果のDFT(1Ms)

