

ランレングスリミテッドコーディング導入による

1 bit スwitchングアンプの特性改善

服部 永雄 山崎 芳男

Improvement of 1bit Switching Power Amplifier by Using Run Length Limited Coding

Hisao HATTORI and Yoshio YAMASAKI

あらまし 増幅器の高効率化にはスイッチングアンプの導入が有効である。スイッチングアンプで発生する損失には主に内部抵抗に起因する損失と過渡応答状態でのスイッチング損失が挙げられ、前者は主にパワーデバイスの ON 抵抗、後者は主にパワーデバイスのゲート容量や応答速度に起因する。従ってパワーデバイスの改善と共に出力段のスイッチングの回数を減らすことによりスイッチングアンプの高効率化が可能である。本稿では変調器出力のランレングスに一定の条件を設定するランレングスリミテッドコーディングを 1 bit 変調器に導入し、出力の最低パルス幅を一定以上に保持した上で時間分解能を高くとることにより現実的なパワーデバイスを用いて高い S/N を確保することを試みた。結果、シミュレーションにより最短パルス幅を 1 μ s に設定しても可聴帯域で 100dB 以上の S/N を確保したスイッチングアンプが実現可能であることが示された。

abstract It is effective to induce the switching circuit to make amplifiers high-efficiency. The power loss of the switching amplifier is mainly caused by the internal resistance and the switching loss occurred by the gate capacitance and the response delay. Therefore, it is possible to reduce power loss by reducing the number of the switching times as well as by the improvement of the power device. We tried to make a high-S/N amplifier using the usual switching device by inducing "Run Length Limited Coding" in sigma-delta modulator so that high resolution in time domain should be acquired in conditional pulse width. As the result, it is shown by simulation, that a switching amplifier over 100dB S/N in audible band is available under the condition of more than 1 μ s pulse width.

1. まえがき

環境への配慮から省電力の意識が重要である。山崎らは超伝導スピーカや 1 bit スwitchングアンプの利用により電気音響変換効率を「モーター並み」に上げることを目指している。ある計算によるとアンプ・スピーカを含めた電気音響変換器で日本全体で発電所 2 個分の電力を無駄にしており、電気音響変換効率を上げるにより一定の省エネ化が期待できることが示されている。[1]

増幅器の高効率化にはスイッチングアンプの導入が有効である。スイッチング回路では理論的には損失が発生しないが、現実のスイッチングアンプで発生する損失には主に内部抵抗に起因する損失と過渡応答状態におけるスイッチング損失が挙げられる。前者は主にパワーデバイスの ON 抵抗、後者は主にパワーデバイスのゲート容量等、応答速度に起因する。従ってパワーデバイスの改善と共に出力段のスイッチングの回数を減らすことによりスイッチングアンプの高効率化が可能である。本稿では変調器出力のランレングスに一定の条件を設定するランレングスリミテッドコーディング(以下ランレングスリミテッドコーディングは RLLC と記す)を 1 bit 変調器に導入し、出力の最低パルス幅を一定以上に保持した上で時間分解能を高くとることにより現実的なデバイスでの特性改善を試み、また近年採用実績の増えたデジタル PWM との

比較を行った。

2. 高速 1 bit 信号処理

高速 1 ビット符号化では量子化雑音を何らかの方法で信号帯域外に集中させることにより必要な帯域でダイナミックレンジを得る。一般に 変調により量子化雑音を高域に集中させる。[2]

2.1 変調器

変調はフィードバックループの中に量子化器と積分器を設け量子化雑音を高域に集中させる方式である。図 1 に 変調器の構成を示す。この伝達関数は

$$Y = X + (1 - z^{-1})Nq$$

となる。同様に n 次の 変調器の伝達関数は

$$Y = X + (1 - z^{-1})^n Nq$$

となる。ここで X は変調器入力、Y は変調器出力、Nq は量子化雑音とする。しかし一般に高次の 変調は不安定であり、1 bit 量子化では量子化雑音が入力信号と相関を持つなどの理由により安定動作するのは 2 次までで高次の 変調で安定動作を得るには何らかの操作が必要となる。[4]

高次の 変調で安定動作する系として積分器多段縦続接続方式がある。積分器を多数従属接続しそれぞれに適当な重み付けをして加算した上で 1 bit 量子化

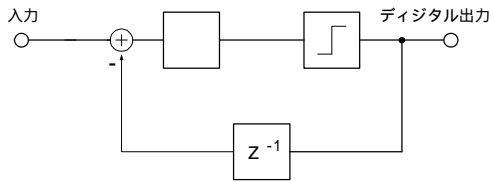


図 1 変調器

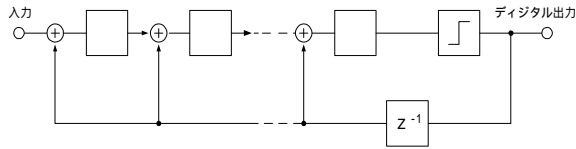


図 2 n 次 変調器

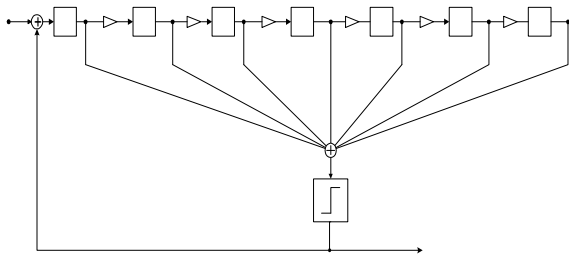


図 3 縦続接続方式 変調器

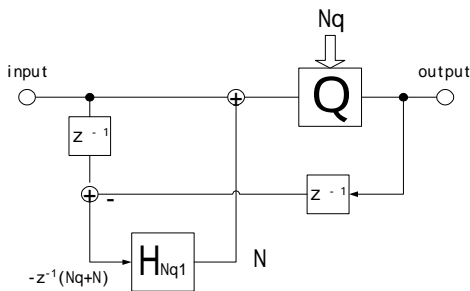


図 4 量子化雑音を独立に制御する系

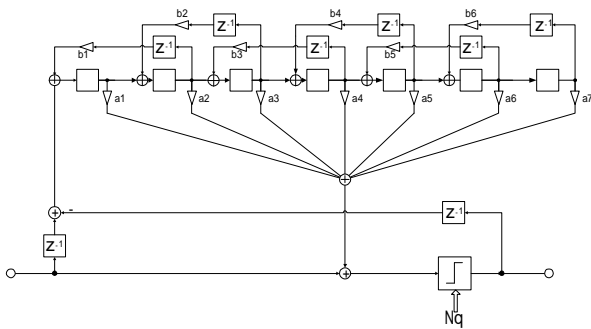


図 5 量子化雑音のみ制御する 7 次従属型 変調器

するもので、図 3 に構成を示す。このときの伝達関数は

$$Y = H(X) \cdot X + H(Nq) \cdot Nq$$

$$H(X) = \frac{G(n)}{(1-z^{-1})^n + z^{-1} \cdot G(n)}$$

$$H(Nq) = \frac{(1-z^{-1})^n}{(1-z^{-1})^n + z^{-1} \cdot G(n)}$$

$$G(n) = \sum_{p=1}^n a_p \cdot (1-z^{-1})^{n-p}$$

となる。入力信号の伝達関数が周波数の関数となる。

2.2 量子化雑音を独立に制御する系

図 4 に示す構成で入力信号に影響を与えずに量子化雑音を制御することができる。この構成は、

$$Y = X + \left(\frac{1}{1+z^{-1}H_{Nq1}} \right) \cdot Nq$$

で示される。量子化雑音を抽出し入力信号とともに量子化器に加えることにより量子化雑音に関し帰還ループを形成し動作する。この構成を積分器縦続接続型変調器に適用した量子化雑音のみ制御可能な 7 次変調器の例を図 5 に示す。伝達関数は

$$Y = X + H(Nq) \cdot Nq$$

$$H(Nq) = \frac{(1-z^{-1})^n}{(1-z^{-1})^n + z^{-1} \cdot G(n)}$$

$$G(n) = \sum_{p=1}^n a_p \cdot (1-z^{-1})^{n-p}$$

となる。帰還ループを設け零点を制御することによりあらゆる構成が可能となる。

3. ランレンジスリミテッドコーディング

ランレンジスリミテッドコーディングは出力のランレンジスに一定の条件をを規定する変調方式である。

1 bit 量子化出力にランレンジス制限を導入し、最低パルス幅を一定以上に制限することにより応答の遅い回路での動作を図った。

3.1 同一極配置での比較

最短パルス幅を同一にとり、標準化周波数を 2 倍、4 倍、8 倍として時間分解能をそれぞれ 2 倍、4 倍、8 倍とした時のスペクトルを図 8 に示す。シミュレーションに用いた 3 次変調器を図 6 に示す。極配置は同一とした。用いた係数は a1=0.5, a2=0.25 である。

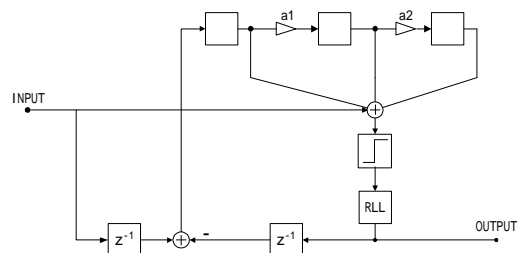


図 6 ランレンジス制限付 3 次 変調器

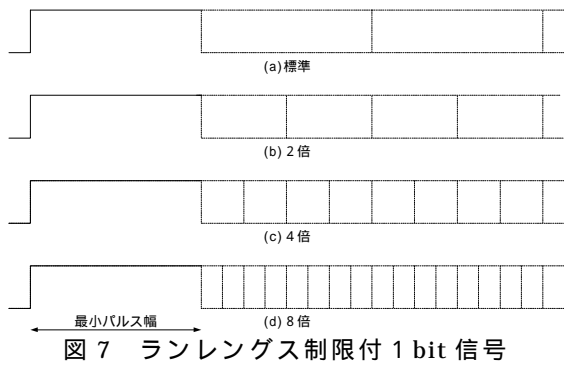


図 7 ランレングス制限付 1 bit 信号

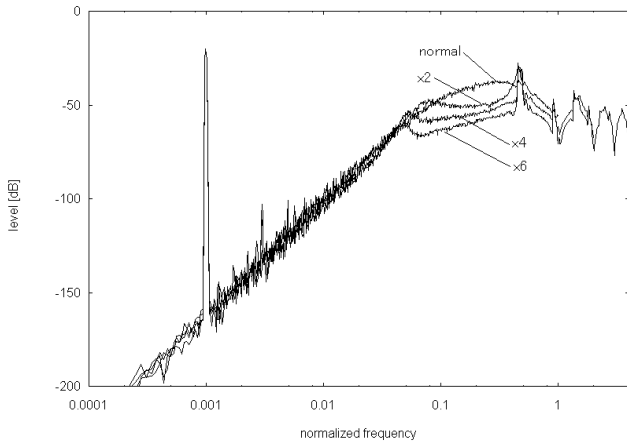
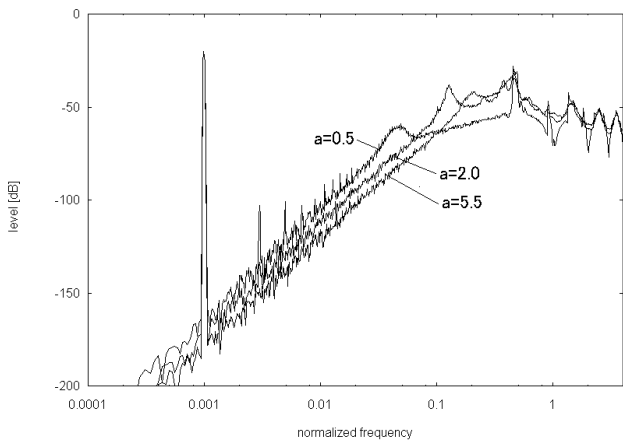
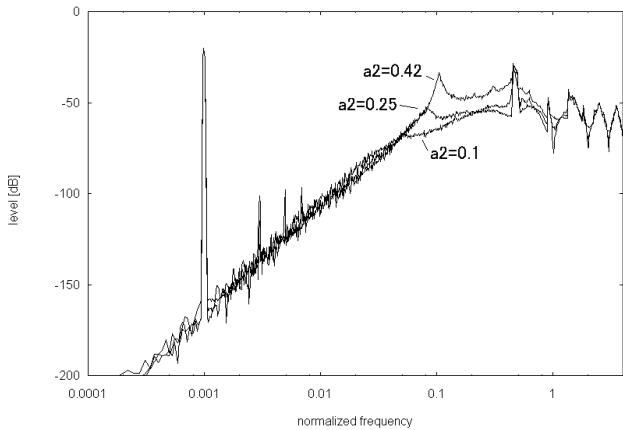


図 8 同一極配置でのスペクトル



(a) a1 を変化 a2=0.25



(b) a1=1.0 a2 を変化

図 9 係数 a1, a2 の制御

3.2 極の制御

図 6 に示した 変調器で極の制御を行った。時間分解能を 8 倍とした系で係数 a_1, a_2 を変化させた時のスペクトルを図 9 に示す。これから時間分解能を高くとることにより第 1 の極をより高域に移動することが可能となり、実用帯域での S/N を高くとることができることが確認された。また、第 2 の極は第 1 の極を高くとっても発振限界は変化せず、高域側に移動することができないことが確認された。

3.3 複雑な系への導入

ランレングスリミットドコーディングを導入した変調器では 1 番目の極を高域に移動し実用帯域での S/N を確保するのが有効であることが確認された。

図 1 1 に複雑な極・零点配置の制御例での RLLC なしと 8 倍補間の RLLC との比較を示す。用いた 変調器を図 1 0 に、係数を表 1 に示す。最大で 20 dB 程度 S/N が改善されていることが確認できる。

表 1 変調器の係数

	a1	a2	a3	a4	a5	a6	b2	b4	b6
標準	1/2	1/4	1/8	1/16	1/32	1/64	1/256	1/64	1/512
RLLC	4.2	1/4	1/8	1/16	1/32	1/64	1/256	1/64	1/512

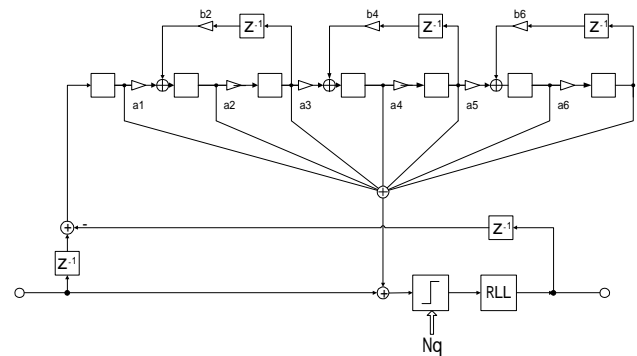


図 10 ランレングスリミットドコードを導入した変調器

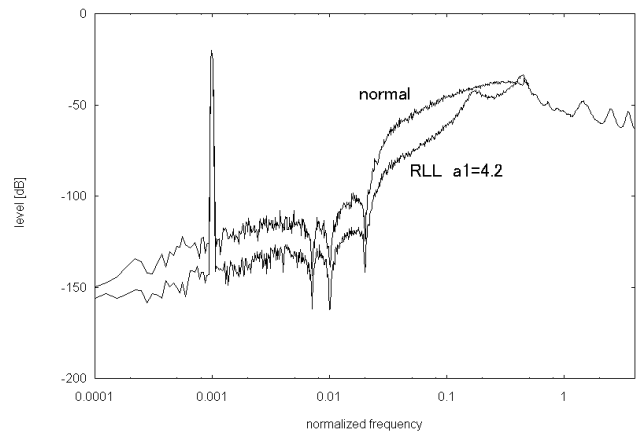


図 11 スペクトル

4 .ランレングスリミテッドコーディングと PWM の比較

4.1 変調デジタル PWM

図 1 2 に 変調器に PWM を取り込んだ構成を示す。マルチビットの量子化出力を PWM 変調器で 1 bit に変換する 1 bit 出力 変調器である。量子化器のサンプリング間隔をスイッチング周波数に持つ PWM 変調器として機能する。

WM 変調器の変調幅を 2 倍、4 倍、8 倍（3 値、5 値、9 値）としたときのシミュレーション結果を図 1 4 に示す。

P W M 変調器の分解能に比例して $1/2F_s$ までの全帯域で量子化雑音が低減されている事が確認された。

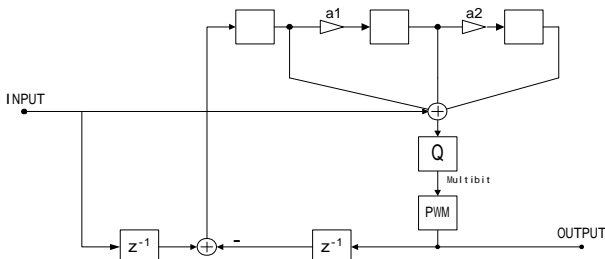


図 1 2 PWM 付 3 次 変調器

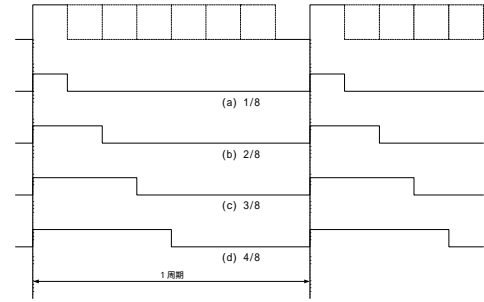


図 1 3 PWM 出力

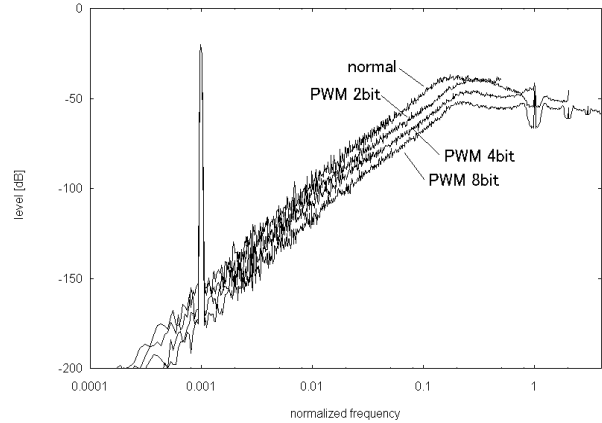


図 1 4 分解能ごとのスペクトル

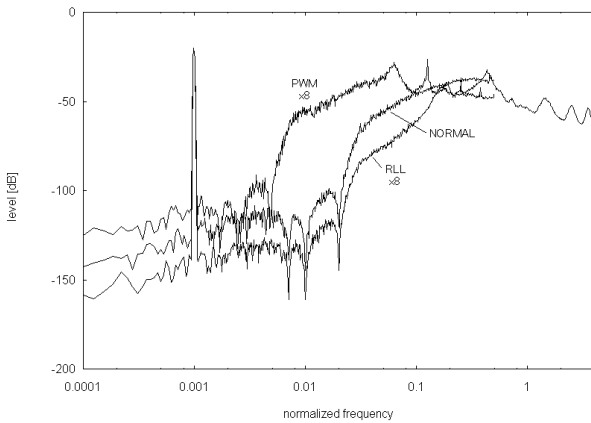


図 1 5 各符号化のスペクトル

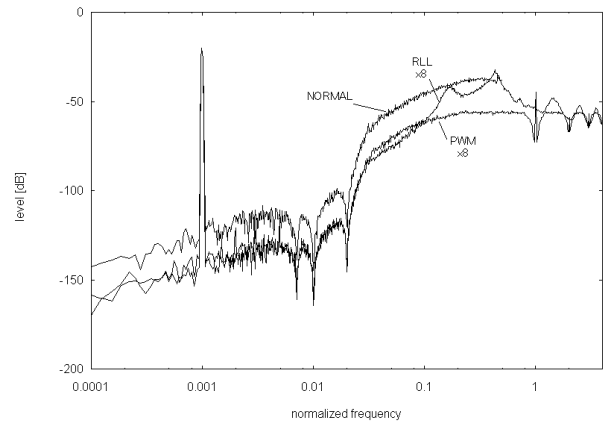


図 1 6 各符号化のスペクトル

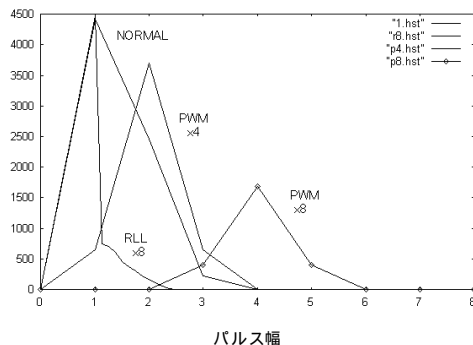


図 1 6 各符号化のパルス幅ごとの出現回数

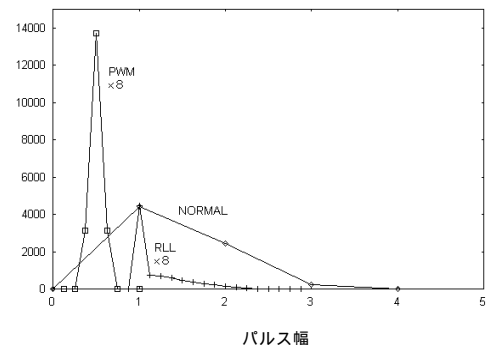


図 17 各符号化のパルス幅ごとの出現回数

表 2 変調方式と総スイッチ回数

変調方式	総スイッチ回数	平均パルス幅
標準	7094	1.41
RLLC	8229	1.22
PWM x 4	5000	2.00
PWM x 8	2500	4.00

表 3 変調方式と総スイッチ回数

変調方式	総スイッチ回数	平均パルス幅
標準	7094	1.41
RLLC	8229	1.22
PWM x 4	20000	0.50
PWM x 8	20000	0.50

4.2 パルス幅を同一としての比較

最小パルス幅を同一としてシミュレーションを行った。標準型は最小パルス幅を周期とする、ランレングスリミテッドコーディングは最小パルス幅の8倍の時間分解能、PWMは1bit分を最小パルス幅とした4bit(5値)、8bit(9値)として、最小パルス幅の1024倍の周期のサイン波を入力した。その時のスペクトルを図15に、10000単位時間における出現回数のヒストグラムを図16に示す。また10000単位時間におけるスイッチ回数を表2に示す。

4.3 同一時定数での比較

変調器の時定数を同一とし、標準型、RLL(時間分解能8倍)、PWM(8bit:9値)を比較した。スペクトルを図17に、パルス幅ごとの出現回数のヒストグラムを図18に、10000単位時間におけるスイッチ回数を表3に示す。

ランレングスリミテッドコーディングによりスイッチング回数の大幅な増加なしに特性を大きく改善できることが示された。

表3 変調方式と総スイッチ回数

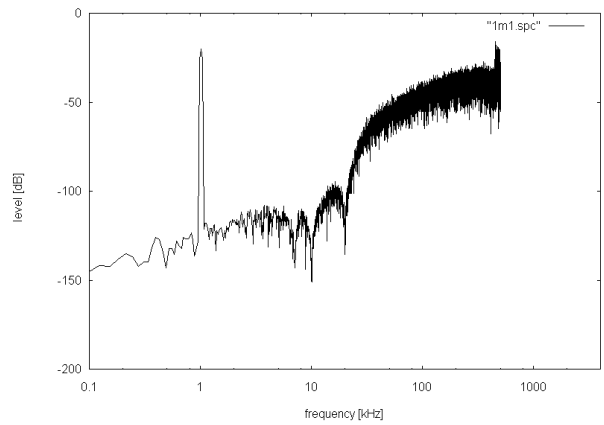
変調方式	総スイッチ回数	平均パルス幅
標準	7094	1.41
RLLC	8229	1.22
PWM x4	20000	0.50
PWM x8	20000	0.50

4.4 スイッチングアンプへの導入

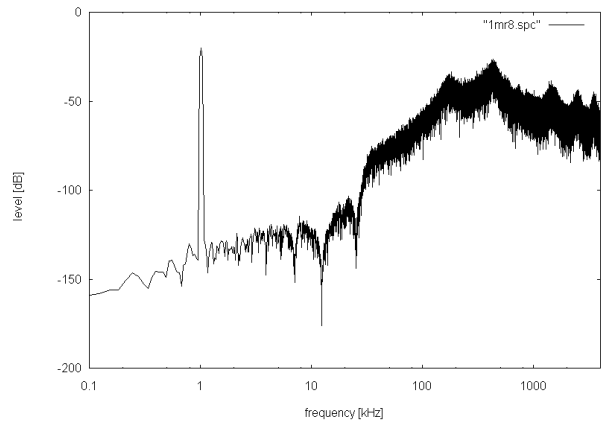
図18(a)にサンプリング周波数1MHzの1bit変調出力のスペクトルを、図18(b)にランレングスリミテッドコーディングを導入した標準化周波数8MHz、最低パルス幅1μsのスペクトルを示す。これにより従来の標準化周波数1MHzのスイッチングアンプ用に設計された出力段を用いて30kHzで100dB以上、100kHzで50dBのS/Nをもつデジタルスイッチングアンプが実現可能であることが示された。

5. むすび

高速1bit信号による電力制御の一例である1bitスイッチングアンプに於いて、ランレングスリミテッドコーディングを導入した変調器により、最小反転間隔を一定以上に規定することによりスイッチング回数を大幅に増加させることなく特性改善を図った。シミュレーションから最短パルス幅を標準化周波数1MHzにあたる1μsに設定しても、ランレングスリミテッドコーディングを導入し標準化周波数を8MHzとすることにより可聴帯域で100dB以上のS/Nを確保したデジタルスイッチングアンプが実現可能であることが示された。現実的なデバイスでのフルデジタルアンプの実現やスイッチングアンプの効率の向上に有効な手法であると思われる。今後は実機での検証を行いたい。



(a) 標準 変調器 Fs = 1MHz



(b) RLLC 導入 Fs = 8MHz
パルス幅 > 1 μs

図18 スイッチングアンプへの導入

参考文献

- [1]山崎, 中島 “超電導のピン止め効果を利用した エッジダンパーレススピーカの試作,” 音講論集, (2001. 3)
- [2]山崎, 太田, 西川, 野間, 名越 “広帯域音響信号の高速標準化1bit処理” 信学技報, EA93-102(1994.3)
- [3]飯塚, 名越, 野間, 山崎, 西川 “高速1bit符号化の量子化雑音のスペクトル分布とその制御” 音講論集 533-534(1994.3)
- [4]松谷, 内村, 岩田, “多段量子化雑音抑圧(MASH)方式16ビットCMOS A/D変換LSI”, 信学研資 ICD87-52, 7-12(1987)
- [5]飯塚 “高速1bit符号化における伝達関数の適応制御に関する研究” 千葉工業大学子安・山崎研究室卒業論文集(1994.3)
- [6]N.S.Jayant and L.R.Rabinar, “The application of dither to the quantization of speech signals,” B.S. .T.J. 51(6), 1293-1304(1972.7-8)
- [7]山崎, “広帯域音響信号の量子化への大振幅デザの適用,” 音響学会誌, Vol. 39, pp. 452 - 462 (1983)
- [8]西川明成, 太田弘毅, 山崎芳男, 名越英之, 野間政利, “高速1bit信号処理における伝達特性の制御,” 音講論集 623-624 (1994.10)
- [9]服部, “各種ビットレートにおける高速1bit信号処理に関する研究” 早稲田大学理工学総合研究センター音響研究室卒業論文集(2000.3)
- [10]服部, 及川, 山崎, “高速1ビット信号処理の伝送特性及び量子化雑音制御”, 電子情報通信学会基礎・協会ソサイエティ大会, 313-314 (2000.10).